重2019N022 数字集成电路布局布线工具

关键技术研发

一、领域：电子信息技术—微电子技术

二、主要研发内容：

针对主流工艺厂（TSMC/SMIC）16nm/14nm工艺节点研发数字集成电路布局布线工具，其中包括：

（一）支持P&R工艺技术文件的研发；

（二）支持DRC工艺设计规则检查文件的研发；

（三）支持导出符合最终DRC验收级别标准的版图GDS文件的研发。

三、项目考核指标（项目执行期内）

（一）经济指标：实现销售收入≥2000万元，

（二）学术指标：申请专利≥8件，其中发明专利≥4件。

（三）技术指标：

1． 支持Double Pattern技术；支持FinFET技术；支持可定制化的数据路径自动优化策略；支持group、region和blockage约束；支持Full Color(Multi-Pattern)技术；

2． 5百万门的数字电路从网表输入到GDSII输出总运行时间(包括布局、时钟树综合、布线)小于50小时；

3． 支持多线程并行布局布线，并行CPU的数量不低于16个，且性能提升的效率不低于1.25倍；

4. PPA不超过业内主流工具的1.3倍。

四、项目实施期限：3年。

五、资助资金：不超过1000万元。